



MOS デジタル集積回路  
MOS Digital Integrated Circuit

$\mu$ PD2833C

PLL 周波数シンセサイザ用 LSI

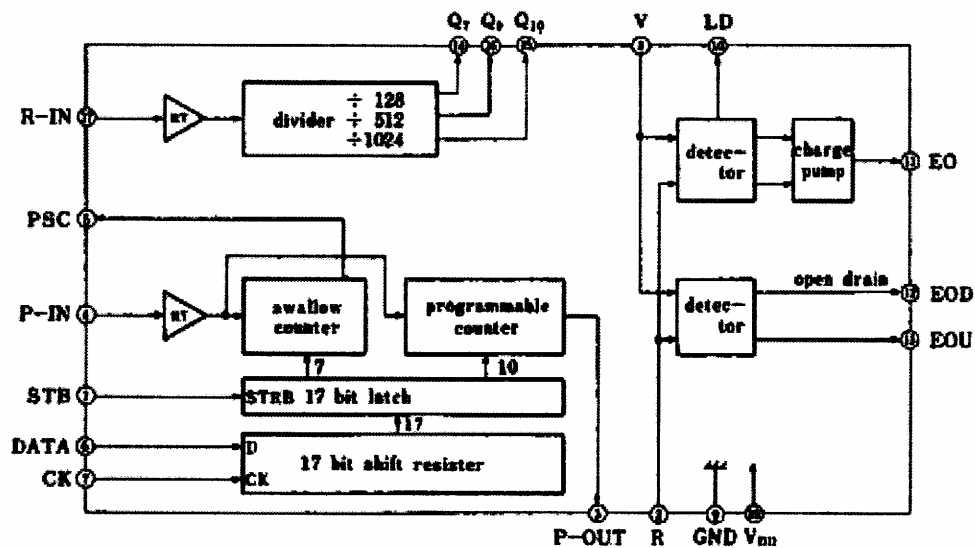
$\mu$ PD2833C は、PLL 周波数シンセサイザ用 CMOS LSI です。

バイナリ7ビットのスワロカウンタ、バイナリ10ビットのプログラマブルカウンタ、位相比較器、チャージポンプ、基準周波数用分周器を1・チップ化しており、900 MHz 帯までのプリスケアラと組合せることにより直接分周の周波数シンセサイザを構成できます。

特長/Features

- デュアルモジュラス・プリスケアラとの組合せにより最大900 MHz 帯まで比較周波数とチャンネルスペースが等しい周波数シンセサイザが構成できる。(バイナリ17ビットのプログラマブルディバイダ)
- 18ピンプラスチック DIP で小形である。
- プログラマブルディバイダのデータはデータ、クロック、ストローブの3本のみのシリアルインタフェース
- 2つの形式の位相比較器出力があり、チャージポンプを外付けにできる。

ブロック図/Block Diagram



—日本電気株式会社—

絶対最大電圧/Absolute Maximum Ratings ( $T_A = 25\text{ }^\circ\text{C}$ )

項目	略号	定 値	単 位	条 件
電源電圧	$V_{DD}$	-0.3~+7	V	
入力電圧	$V_{IN}$	-0.5~ $V_{DD}+0.5$	V	
出力電圧	$V_{OUT}$	-0.5~ $V_{DD}+0.5$	V	
出力電圧	$V_{OUT}$	-0.5~ $V_{DD}+3.0$	V	13ピンのみ
動作温度	$T_{op}$	-40~+85	$^\circ\text{C}$	
保存温度	$T_{stg}$	-65~+150	$^\circ\text{C}$	

推奨動作条件/Recommended Operating Conditions ( $V_{DD} = 5\text{ V} \pm 10\%$ ,  $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ )

項目	略号	条 件	MIN.	TYP.	MAX.	単 位
入力立ち上がり時間	$t_{tr}$	1, 2, 6, 7, 8ピン		20	500	ns
入力立ち下り時間	$t_{ff}$	1, 2, 6, 7, 8ピン		20	500	ns

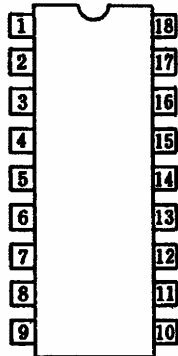
直流特性 ( $V_{DD} = 5\text{ V} \pm 10\%$ ,  $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ )

項目	略号	条 件	MIN.	TYP.	MAX.	単 位
低レベル入力電圧	$V_{IL}$	1, 2, 6, 7, 8ピン			$0.3 \cdot V_{DD}$	V
高レベル入力電圧	$V_{IH}$	1, 2, 6, 7, 8, ピン	$0.7 \cdot V_{DD}$			V
低レベル出力電流	$V_{OL}$	5, 10, $I_{OL} = 0.1\text{ mA}$			1.0	V
低レベル出力電流	$V_{OL}$	14, 15, 16ピン $I_{OL} = 0.4\text{ mA}$			0.4	V
低レベル出力電流	$V_{OL}$	11ピン $I_{OL} = 3\text{ mA}$			2.0	V
低レベル出力電流	$V_{OL}$	13ピン $I_{OL} = 1.2\text{ mA}$			0.4	V
低レベル出力電流	$V_{OL}$	12ピン $I_{OL} = 1.5\text{ mA}$			1.0	V
高レベル出力電圧	$V_{OH}$	5, 10ピン $I_{OH} = 0.1\text{ mA}$	4.0			V
高レベル出力電圧	$V_{OH}$	14, 15, 16ピン $I_{OH} = 20\text{ }\mu\text{A}$	2.4			V
高レベル出力電圧	$V_{OH}$	11ピン $I_{OH} = 3\text{ mA}$	3.0			V
高レベル出力電圧	$V_{OH}$	13ピン $I_{OH} = 1.2\text{ mA}$	3.0			V
入力リーク電流	$I_{LI}$	4, 17ピン			$\pm 40$	$\mu\text{A}$
出力リーク電流	$I_{LO}$	11ピン			$\pm 10$	$\mu\text{A}$

交流特性 ( $V_{DD} = 5\text{ V} \pm 10\%$ ,  $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ )

項目	略号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	$f_{(max)}$	4ピン $V_{IN} = 1\text{ V}_{PP}$ Sinewave	1		7.9	MHz
	$f_{(max)}$	17ピン $V_{IN} = 1\text{ V}_{PP}$ Sinewave	1		14.0	MHz
出力遅延時間	$t_{PD}$	5ピン $C_L = 20\text{ pF}$			120	ns
出力立ち上り, 立ち下り時間	$t_{r, f}$	5ピン $C_L = 20\text{ pF}$			40	ns
電源電流	$I_{DD}$	18ピン $f_{(max, 4)} = 7.9\text{ MHz}$ $f_{(max, 17)} = 14\text{ MHz}$			11	mA
入力振幅	$V_{is}$	4, 17ピン	1.0		$V_{DD}$	$V_{IY}$

端子接続図/Connection Diagram (Top View)



ピン番号	端子名称	機能
1	STB	"N"値を指定する17ビットラッチのストローブ入力端子
2	R	位相比較器のリファレンス入力, LPFが反転型の場合は基準信号を入力する。
3	P-OUT	プログラマブルディバイダの出力端子。
4	P-IN	プログラマブルディバイダの入力端子。
5	PSC	プリスケアラのコントロール出力 Hiで ÷P, Loで ÷(P+1)
6	DATA	17ビットシフトレジスタのデータ入力端子
7	CK	17ビットシフトレジスタのクロック入力端子
8	V	位相比較器のバリエブル入力, LPFが反転型では3ピンと接続
9	GND	システムグラウンド
10	LD	ロックはずれ検出端子(ロックディテクタ), ロックで Hi, ロックはずれでパルス出力
11	EO	位相比較器出力(スリーステート)
12	EOD	位相比較器出力(チャージポンプ外付け用) N-ch オープンドレイン
13	EOU	位相比較器出力(チャージポンプ外付け用) CMOS 出力
14	Q <sub>7</sub>	基準周波数用デバイダ出力 ÷128
15	Q <sub>10</sub>	基準周波数用デバイダ出力 ÷1024
16	Q <sub>9</sub>	基準周波数用デバイダ出力 ÷512
17	R-IN	基準周波数用デバイダ入力 1 V <sub>ref</sub>
18	V <sub>DD</sub>	電源端子(+5 V)

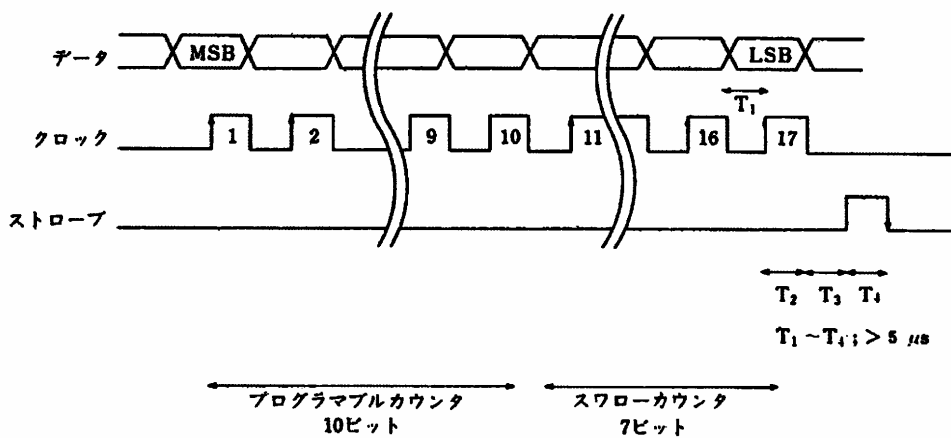
データ入力方法

プログラマブルデバイダの“N”値はバイナリ17ビットのデータをMSB(上位桁)よりシフトレジスタに入力し、最後にストローブ信号によりラッチします。

データは正論理、クロックは立上りでシフト、ストローブはHighレベルでデータがスルーとなり立下りでラッチ、Lowレベルで保持します。

データは、プリスケアラが $\div 128/\div 129$ (7ビット)ではトータルの“N”値をバイナリに直せば問題ありませんが、より小さい分周比、たとえば、 $\div 64/\div 65$ 、 $\div 32/\div 33$ 等ではダミービットを追加する必要があります。

入力タイミング



ダミービットの処理

$\left[ \begin{array}{l} N_{16} \sim N_0 \text{ は計算した } N \text{ 値 } (N_{16}; \text{MSB}) \\ D_{16} \sim D_0 \text{ は } \mu\text{PD2833C} \text{ へ入力するデータ } (D_{16}; \text{MSB}) \end{array} \right]$

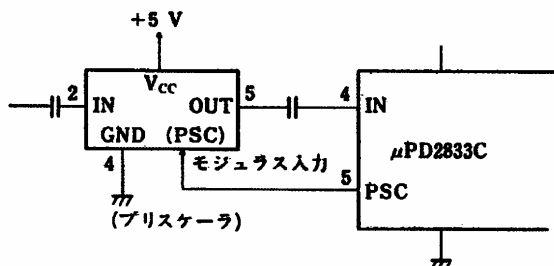
- $\div 128/\div 129$ の場合 (ダミー不要)

$N_{16}$	$N_{15}$	$N_{14}$	$N_{13}$	$N_{12}$	$N_{11}$	$N_{10}$	$N_9$	$N_8$	$N_7$	$N_6$	$N_5$	$N_4$	$N_3$	$N_2$	$N_1$	$N_0$
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
$D_{16}$	$D_{15}$	$D_{14}$	$D_{13}$	$D_{12}$	$D_{11}$	$D_{10}$	$D_9$	$D_8$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
- $\div 64/\div 65$ の場合 (ダミー1ビット)

	$N_{15}$	$N_{14}$	$N_{13}$	$N_{12}$	$N_{11}$	$N_{10}$	$N_9$	$N_8$	$N_7$	$N_6$	$N_5$	$N_4$	$N_3$	$N_2$	$N_1$	$N_0$
	↘	↘	↘	↘	↘	↘	↘	↘	↘	↓	↓	↓	↓	↓	↓	
$D_{16}$	$D_{15}$	$D_{14}$	$D_{13}$	$D_{12}$	$D_{11}$	$D_{10}$	$D_9$	$D_8$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
										↑						
										ダミービット; *φを入れる						
- $\div 32/\div 33$ の場合 (ダミー2ビット)

		$N_{14}$	$N_{13}$	$N_{12}$	$N_{11}$	$N_{10}$	$N_9$	$N_8$	$N_7$	$N_6$	$N_5$	$N_4$	$N_3$	$N_2$	$N_1$	$N_0$
		↘	↘	↘	↘	↘	↘	↘	↘	↓	↓	↓	↓	↓	↓	
$D_{16}$	$D_{15}$	$D_{14}$	$D_{13}$	$D_{12}$	$D_{11}$	$D_{10}$	$D_9$	$D_8$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
										↑	↑					
										ダミービット; *φを入れる	ダミービット; *φを入れる					

プリスケータとの接続



適合するプリスケータ

- μPB566C (900 MHz 用)
- μPB571C (500 MHz 用)
- μPB555C (150 MHz 用)

- ・プリスケータとの接続はプリスケータの出力とプログラマブルディバイダ入力(4ピン)をコンデンサで直流をカットして接続します。
- ・プリスケータのモジュラス入力端子と PLL IC の PSC 出力端子は DC 結合の必要がありダイレクトに接続します。電源およびグラウンドが同電位であればインターフェイスについては μPB566C (900 MHz 用), μPB571C (500 MHz 用), μPB555C (150 MHz 用) は保障されています。

PLL の極性について

- ・ローパスフィルタ (LPF) が反転形の場合で、かつ PLL のループ内に VCO より高い周波数によるミキサがないか、直接分周のときは位相比較器の入力は R (2ピン) を基準信号に、V (8ピン) をプログラマブルディバイダの出力に接続する。
- ・LPF が非反転(たとえばパッシブフィルタ等)形の場合は R と V の接続を逆にする。

チャージポンプの外付けの方法

- ・チャージポンプを外付けで構成できるよう、CMOS 出力 (13ピン), N-ch オープンドレイン (12ピン) が用意されています。
- ・チャージポンプの電源電圧は μPD2833C よりも 3 V まで高くできます。
- ・チャージポンプを P-ch, N-ch のトランジスタ (ただしエンハンスメント形) を用いて構成した例を右図に示します。

